

Graduiertenkolleg 1103  
**Embedded Microsystems**



Albert-Ludwigs-Universität Freiburg

**Integrated Self-Test and Calibration for  
Field-Programmable Analog Arrays**

Statusbericht

**Stanis Trendelenburg**

Betreuer: Prof. Dr. Yiannos Manoli  
Lehrstuhl: Mikroelektronik

Freiburg, im September 2008



Institut für Informatik



Institut für Mikrosystemtechnik

# 1 Aktueller Stand der Promotion

Meine Promotion befindet sich im Anfangsstadium. Vor meiner Aufnahme in das Graduiertenkolleg im März dieses Jahres habe ich bereits mit meinem Kollegen Fabian Henrici in der FPAA-Gruppe des Lehrstuhls Mikroelektronik zusammengearbeitet. Schwerpunkt dieser Arbeit war die Untersuchung verschiedener Methoden zur Filtersynthese auf dem in dieser Gruppe entwickelten Feldprogrammierbaren Analog-Array (FPAA) [4].

## 2 Zusammenfassung

Im Rahmen meiner Promotion im Graduiertenkolleg „Eingebettete Mikrosysteme“ befasste ich mich mit dem Thema des integrierten Selbsttests für analog/mixed-signal Schaltungen. Darunter versteht man Verfahren, eine integrierte Schaltung durch zusätzliche Komponenten „testbar“ zu machen. Ziel des Tests ist es, während des Herstellungsprozesses oder durch Beschädigung entstandene Fehler in der Schaltung zu detektieren, ohne dabei auf externe Signalquellen und/oder Messgeräte angewiesen zu sein.

Die Gründe für den Einsatz von integrierten Tests sind zum einen wirtschaftliche, da die Kosten, die ein fehlerhaftes Bauteil verursacht, im allgemeinen umso höher sind, je später der Fehler entdeckt wird. Kostengünstige integrierte Teststrukturen erlauben eine schnellere und genauere Auslese der funktionierenden Bauteile nach der Produktion.

Speziell für eingebettete Systeme ist jedoch auch eine Fehlererkennung nach der Produktionsphase im laufenden Betrieb interessant. So kann das System Ausfälle von Teilsystemen frühzeitig erkennen und entsprechend darauf reagieren. Eventuell kann ein Totalausfall vermieden werden, indem ausgefallene Systeme abgeschaltet oder überbrückt werden, so daß das Gesamtsystem zwar mit eingeschränkter Funktionalität arbeitet, aber Grundfunktionen weiterhin zur Verfügung stehen. Ein zuverlässiger integrierter Test erhöht somit die Robustheit des eingebetteten Systems.

Integrierte Testverfahren sind in der digitalen Schaltungstechnik weit verbreitet. In der analogen Schaltungstechnik halten sie bisher nur zögerlich Einzug. Gründe dafür sind zum einen der im Vergleich höhere Platzbedarf und die damit steigenden Kosten für die zur Implementierung des Tests benötigten zusätzlichen Komponenten (Overhead). Zum anderen erschwert die Vielfalt und Komplexität der analogen Schaltungstechnik die Entwicklung von standardisierten Testverfahren und Schnittstellen, wie sie in der Digitaltechnik seit langem üblich sind.

Verbreitet sind funktionale Tests nach der Fertigung, die die Schaltung auf Funktionsfähigkeit und Einhalten der Spezifikation überprüfen. Die hierzu notwendigen Geräte zur Testsignalerzeugung und Auswertung lassen sich jedoch meist nicht mit vertretbarem Aufwand durch on-Chip-Komponenten ersetzen.

## 3 Oszillations-Basierter Test

Ein in der Literatur zuerst von Arabi und Kaminska [2, 1] vorgeschlagener Ansatz für einen integrierten Test für analoge und mixed-signal Schaltungen ist der oszillationsbasierte Test. Das Grundprinzip ist in Abbildung 1 dargestellt. Der zu testende Schaltungsteil wird dabei mithilfe einer (meist nichtlinearen) Rückkopplung in einen Oszillator überführt. Die Frequenz und Amplitude der sich einstellenden Oszillation dient nun als „Signatur“ der Schaltung, die im weiteren gemessen und mit einem Referenzwert für die fehlerfreie Schaltung verglichen werden kann. Der Test beruht darauf, daß Fehler in der zu testenden Schaltung eine Abweichung der Oszillationsfre-

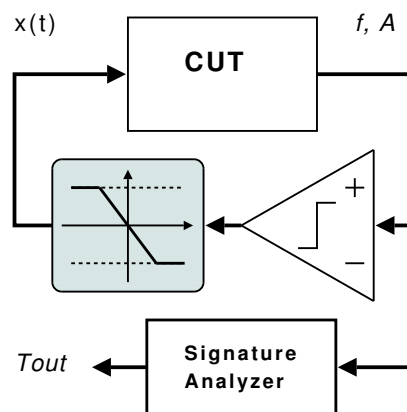


Abbildung 1: Prinzip des oszillations-basierten Tests.

quenz und/oder Amplitude zur Folge haben und so detektiert werden können. Die Beobachtbarkeit oder Sensitivität  $S_i$  eines Fehlers in der Komponente  $c_i$  ist also gegeben durch

$$S_i = \left( \frac{\partial c_i}{\partial f_{osc}}, \frac{\partial c_i}{\partial A_{osc}} \right).$$

Zur Implementierung eines Tests mit hoher Fehlerabdeckung ist es daher erforderlich, den Oszillator so auszulegen, daß die Beobachtbarkeit aller oder möglichst vieler der potentiell auftretenden Fehler im detektierbaren Bereich liegt. Zu diesem Zweck sind umfangreiche Vorab-Simulationen nötig, um die Sensitivitäten der erwarteten Fehler auf die Oszillation des Gesamtsystems zu bestimmen.

Diese Methode bietet den Vorteil, daß das Testsignal nicht extern erzeugt werden muß und die Signatur mit einfachen Mitteln ausgewertet werden kann, sofern die Schaltung neben einem Analog- auch über einen Digitalteil verfügt. Insgesamt ist der benötigte Overhead vergleichsweise gering. Die Eignung dieser Methode wurde bereits für eine Reihe analoger Komponenten wie z.B. Operationsverstärker [2] und Filter [1, 6] gezeigt. Auch Versuche mit kommerziellen FPAAAs wurden bereits durchgeführt [3].

Ein kostengünstiger, integrierter Selbsttest für mixed-signal Schaltungen ist aus den oben genannten Gründen erstrebenswert, auch wenn es bisher an allgemeinen Strategien fehlt, um Testschaltungen für beliebige analoge Komponenten zu generieren.

Der in [4] vorgestellte FPAA eignet sich aus verschiedenen Gründen als Testplattform für die Implementierung eines analogen Selbsttests: Durch die vielfältigen Rekonfigurationsmöglichkeiten der analogen Grundelemente (sog.  $G_m$ -Zellen, digital programmierbare analoge Transkonduktanz-Verstärker) und den vorhandenen Digitalteil besteht die Möglichkeit, zum Selbsttest benötigte Strukturen mit einer minimalen Anzahl an zusätzlichen Elementen zu realisieren. Die digitale Programmierbarkeit des FPAA eröffnet zudem die Möglichkeit einer „intelligenten“ Fehlerbehandlung durch z.B. eine externe Logik, die über das einfache Signalisieren eines Fehlers hinausgeht. Fehlerhafte Elemente können z.B. isoliert werden, in dem bereits instantiierte Strukturen auf eine andere Stelle des FPAA verschoben werden.

Langfristiges Ziel des Dissertationsprojekts ist daher die Entwicklung eines eingebauten Selbsttests für den FPAA.

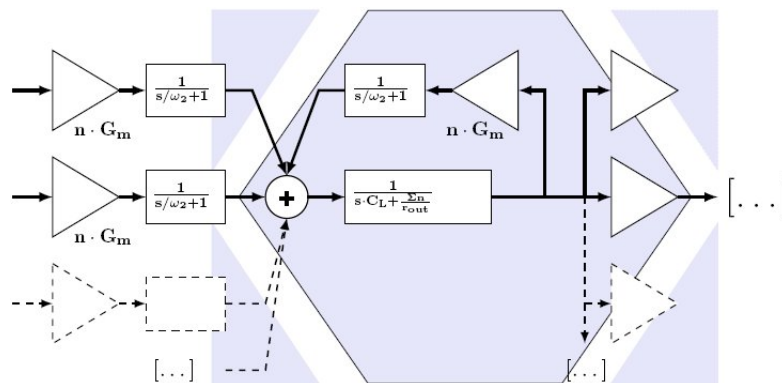


Abbildung 2: Modellierung eines einzelnen Konfigurierbaren Blocks (CAB) des FPAA in Matlab. Der FPAA besteht aus insgesamt 55  $G_m$  Zellen, verteilt auf 7 CABs.

## 4 Erstellung eines Matlab-Modells des FPAA

Um verschiedene Teststrategien effizient untersuchen zu können, ist ein Simulationsmodell des FPAA erforderlich, welches effizienter als das aus dem Design des Chips extrahierte, auf Transistorebene arbeitende Modell ist, und dennoch eine für diesen Zweck ausreichende Genauigkeit bietet. Ein solches Modell auf Matlab-Basis existiert bereits für die alte Generation des Chips [5]. Dazu wurden die Komponenten des FPAA auf Systemebene in Matlab modelliert, und anschließend die Parameter mit Messergebnissen des Chips abgeglichen. Die Weiterentwicklung des FPAA und die daraus resultierende zusätzliche Komplexität machte ein neues Modell erforderlich. Die Grundgleichungen für die Systemparameter wurden bereits extrahiert und in das neue Modell eingebaut. Der Ansatz besteht dabei darin, die programmierbaren Grundelemente des FPAA auf Systemebene möglichst genau zu charakterisieren, um daraus dann automatisch ein Gesamtmodell für den Chip zu erstellen (Abbildung 2). Mit diesem Modell ist es möglich, die Transferfunktions-Eigenschaften von beliebigen FPAA-Konfigurationen in sekundschnelle zu berechnen, was einer Simulationszeit von mehreren Stunden für die Simulation auf Transistorebene gegenübersteht.

## 5 Ausblick

Die in analogen Schaltungen potentiell auftretenden Fehler lassen sich grob in „harte“ und „weiche“ Fehler unterteilen.

Mit „harten“ Fehlern werden Kurzschlüsse und offene Verbindungen bezeichnet, „weiche“ Fehler sind durch den Herstellungsprozess bedingte Abweichungen von analogen Einzelkomponenten (Transistoren, integrierte Kapazitäten) von ihrem Sollwert. Diese stellen nur dann einen Fehler dar, wenn sie die erwartete Prozessschwankung überschreiten, und sich für die Funktion der Gesamtschaltung (z.B. Einhaltung einer Spezifikation eines auf dem Array instantiierten Filters) als kritisch erweisen.

Im weiteren Projektverlauf sind die zu erwartenden Fehler und die mögliche erreichbare Fehlerabdeckung zu untersuchen, da nur eine hohe Fehlerabdeckung den zusätzlichen Schaltungsaufwand für den Test rechtfertigt. Mithilfe des bereits erstellten Matlab-Modells kann eine Untersuchung der Auswirkung von weichen Fehlern auf verschiedene Filterfunktionen erfolgen.

Als nächster Schritt folgt die Evaluation verschiedener aus der Literatur bekannter Techniken zur Testsignalgenerierung und Signaturanalyse bezüglich prinzipieller Realisierbarkeit auf der be-

stehenden FPAA-Hardware, eventuell benötigtem Overhead und erreichbarer Fehlerabdeckung.

Es besteht bereits jetzt eine enge Zusammenarbeit mit dem Projekt A.1 von Fabian Henrici, da besonders die Modellierung des FPAA auf Systemebene beiden Projekten zugute kommt. Die entwickelten Modelle erlaubten die Untersuchung von verschiedensten Methoden zur Abbildung von zeitkontinuierlichen Filtern auf den FPAA [5, 7]. Im weiteren Verlauf ist eine Zusammenarbeit mit anderen Projekten aus dem Themenbereich „Diagnose und Test“ erstrebenswert.

## Literatur

- [1] K. Arabi and B. Kaminska. “Oscillation-test methodology for low-cost testing of active analog filters”. *IEEE Transactions on Instrumentation and Measurement*, vol. 48, no. 4, pp. 798–806, 1999.
- [2] K. Arabi and B. Kaminska. “Testing analog and mixed-signal integrated circuits using oscillation-test method”. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 16, no. 7, pp. 745–753, 1997.
- [3] T. Balen, J. Andrade, A., F. Azais, M. Lubaszewski, and M. Renovell. “An approach to the built-in self-test of field programmable analog arrays”. In *Proceedings of the 22nd IEEE VLSI Test Symposium*. 2004, pp. 383–388.
- [4] J. Becker, F. Henrici, S. Trendelenburg, M. Ortmanns, and Y. Manoli. “A continuous-time hexagonal field programmable analog array in 0.13  $\mu\text{m}$  CMOS with 186 MHz GBW.” In *International Solid State Circuits Conference (ISSCC) Digest of Technical Papers*. San Francisco, CA, USA, 2008, pp. 70–71.
- [5] J. Becker, S. Trendelenburg, F. Henrici, and Y. Manoli. “Synthesis of analog filters on an evolvable hardware platform using a genetic algorithm”. In *Proceedings of Genetic and Evolutionary Computation Conference (GECCO)*. London, UK, 2007, pp. 190–197.
- [6] G. Huertas, D. Vazquez, E. Peralias, A. Rueda, and J. Huertas. “Practical oscillation-based test of integrated filters”. *IEEE Design & Test of Computers*, vol. 19, no. 6, pp. 64–72, 2002.
- [7] S. Trendelenburg, D. de Dorigo, J. Becker, and Y. Manoli. “Instantiation of higher order continuous-time filters on a field programmable analog array”. In *IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*. Knoxville, TN, USA, 2008, accepted.