

Graduiertenkolleg 1103  
**Embedded Microsystems**



Albert-Ludwigs-Universität Freiburg

# **Timing in Subthreshold-Schaltungen**

Statusbericht

**Niklas Lotze**

Betreuer: Prof. Dr. Yiannos Manoli  
Lehrstuhl: Mikroelektronik

Freiburg, im September 2008



Institut für Informatik



Institut für Mikrosystemtechnik

## 1 Aktueller Stand der Promotion

Ich befinde mich im dritten Jahr meiner Promotion. Die Entwicklung und Simulation notwendiger Schaltungskonzepte und Theorien ist weitgehend erfolgt. Für einen abschließenden Nachweis der Realisierbarkeit der Konzepte wird nun eine Implementation in einem Testchip angestrebt.

## 2 Zusammenfassung der Dissertation

Ziel meiner Arbeit im Rahmen des Graduiertenkollegs „Eingebettete Mikrosysteme“ ist die Untersuchung von Möglichkeiten zur Implementierung zuverlässiger digitaler Schaltungen mit minimaler Energieaufnahme und Versorgungsspannung. Bei zahlreichen Anwendungen eingebetteter Systeme ist der Energiebedarf der integrierten Elektronik kritisch, da die häufig vorausgesetzte Portabilität der Systeme eine Energieversorgung aus Batterien oder neuerdings aus alternativen Energiequellen wie Energy Harvesting Systemen notwendig macht.

Eine Reduktion des Energiebedarfs durch Absenken der Versorgungsspannung (Voltage Scaling) auf Kosten einer reduzierten Performance findet seit längerem breite Anwendung. Es zeigt sich jedoch z.B. bei Mikrocontrollern, die derartige Techniken einsetzen, dass die resultierende minimale Geschwindigkeit noch immer deutlich oberhalb der Anforderungen liegt, die zahlreiche typische Anwendungen aus dem Bereich eingebetteter Systeme stellen [5]. Eine daraus resultierende, neuere Entwicklung sind Subthreshold-Schaltkreise, die mit Betriebsspannung unterhalb der Threshold-Spannung der verwendeten Transistoren (typ. 300-400 mV) arbeiten können [6]. Diese extreme Reduktion der Versorgungsspannung bietet mehrere Vorteile: Der Arbeitspunkt, bei dem die Energie pro Operation minimal wird, liegt typischerweise in diesem Bereich [7]. Weiterhin ergibt sich speziell im Fall einer Energieversorgung mittels Energy Harvesting Systemen oft das Problem, dass über eine begrenzte Zeit nur eine sehr geringe Ausgangsspannung oder eng limitierte Ausgangsleistungen zur Verfügung stehen. In beiden Fällen eröffnen Subthreshold-Schaltkreise die Möglichkeit, ein System trotzdem betriebsfähig zu halten.

Auf der anderen Seite ist der Entwurf von Subthreshold-Schaltungen mit speziellen Herausforderungen verbunden, die insbesondere im Gebiet der Zuverlässigkeit liegen. Der mit sinkender Versorgungsspannung massiv steigende Einfluss von Prozessvariationen, verbunden mit der Eigenschaft, dass Aktiv- und Leckströme bei Subthreshold-Spannungen in der gleichen Größenordnung liegen, führt zu hohen Variabilitäten sowohl bei den Ausgangspegeln als auch bei den Verzögerungszeiten der eingesetzten Logikgatter. Während in Bezug auf die Logikpegel bereits verschiedene, auf einer Optimierung der Transistordimensionierung basierende Lösungsansätze existieren (z.B. [6, 1]), existierte für das Problem der Delay-Variabilität im Wesentlichen lediglich eine grundsätzliche Beschreibung der zugrunde liegenden Effekte [8]. Ein primäres Ziel meiner Promotion ist daher die Untersuchung von Möglichkeiten zur Minimierung des Einflusses dieser Variabilitäten. Asynchrone Schaltkreise haben in diesem Zusammenhang interessante Eigenschaften: Sie zeigen eine hohe Zuverlässigkeit und besitzen die Fähigkeit, sich selbstständig an veränderliche Betriebsbedingungen anzupassen. Es werden deshalb insbesondere Anwendbarkeit und Effizienz von asynchronen Schaltkreisen bei Subthreshold-Spannungen untersucht. Aus diesen Untersuchungen ergibt sich außerdem die Notwendigkeit einer akkuraten Modellierung des Timing-Verhaltens im Subthreshold-Bereich, was einen zweiten Schwerpunkt dieser Arbeit darstellt. Ein drittes aktives Forschungsgebiet stellen Möglichkeiten zur Referenzspannungsdetektion bei Subthreshold-Spannungen dar.

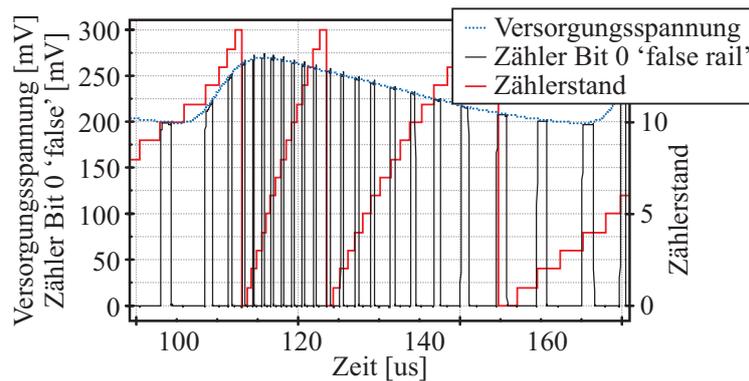


Abbildung 1: False-Rail des LSB eines Zählers in DR Technik bei schlecht regulierter Versorgungsspannung. Der Zählerstand ist zur Veranschaulichung der dynamischen Veränderung der Schaltgeschwindigkeit mit angegeben.

## 2.1 Asynchrone Subthreshold-Schaltungen

Asynchrone Schaltkreise werden bereits seit langem eingehend erforscht, wodurch eine Vielzahl unterschiedlicher Schaltungsstile verfügbar ist. Eine Mehrzahl dieser Stile erfordert entweder dynamische Logik, lange Transistorketten oder andere, bei Subthreshold-Versorgungsspannungen kaum realisierbare Komponenten. Der erste zentrale Schritt war daher eine Untersuchung existierender asynchroner Schaltungstechniken in Bezug auf ihre Anwendbarkeit im Subthreshold-Bereich und damit die Identifikation verwendbarer Schaltungstypen [2]. Eine wichtige Unterscheidung hierbei ergibt sich durch das zu Grunde liegende Timing-Konzept: Die Gruppe der Dual-Rail (DR) Schaltungstechniken nutzt spezielle Kodierungen, um das Ende einer Operation selbstständig zu erkennen. Dies erlaubt einerseits eine optimale Kompensation der Variabilitäten in den Verzögerungszeiten, da die Schaltung automatisch mit der bei den jeweiligen Verhältnissen maximal möglichen Geschwindigkeit arbeitet, andererseits erfordert dieser Ansatz einen vergleichsweise hohen Schaltungsaufwand. Single-Rail (SR) Schaltungen hingegen stellen ein sicheres Timing über Delay-Lines, die an den jeweiligen Schaltungsblock angepasst sind, sicher. Dies erfordert nur einen geringen Overhead gegenüber synchronen Schaltungen, erlaubt aber auch nur eine Kompensation globaler Variabilitäten.

Der nächste Schritt war ein Nachweis der tatsächlichen Implementierbarkeit der Schaltungstechniken durch Entwurf und Simulation entsprechender Testschaltungen. Es konnte gezeigt werden, dass sich insbesondere mit Hilfe von DR Schaltungstechniken tatsächlich sehr robuste Subthreshold-Schaltkreise realisieren lassen, die ihre Geschwindigkeit auch an dynamisch veränderliche Bedingungen (z.B. Versorgungsspannung, siehe Abbildung 1) anpassen können. Die Frage, ob der Einsatz von DR Techniken angesichts des erforderlichen schaltungstechnischen Overheads auch in Bezug auf den Energiebedarf lohnend sein kann, beantwortete eine weitergehende Effizienzanalyse. Diese zeigte, dass insbesondere bei sehr niedrigen Versorgungsspannungen eine Implementierung kritischer Teile eines Systems in DR Technik zu einer Reduktion der Energie pro Operation führen kann, es für nicht-kritische Systemteile jedoch aus energetischer Sicht sinnvoll ist, trotz des notwendigen Timing-Overheads Single-Rail Schaltkreise zu verwenden [2].

## 2.2 Delay-Modellierung im Subthreshold-Bereich

Eine effiziente Single-Rail Implementierung erfordert eine gute Anpassung zwischen der maximalen Verzögerungszeit eines kombinatorischen Blocks und der Verzögerungszeit der zugehörigen

Delay-Line, was angesichts der immanenten Variabilitäten eine nicht triviale Aufgabe darstellt. Ihre Lösung erfordert eine exakte Modellierung des Timing-Verhaltens der verwendeten Gatter unter Berücksichtigung der statistischen Variabilitäten ihrer Verzögerungszeiten. Darüber hinaus ist für ein effizientes Vorgehen beim Entwurf der Einsatz entsprechender Entwicklungswerkzeuge unumgänglich, die allerdings wiederum adäquate Timing-Informationen benötigen. Es wurden daher verschiedene Problemstellungen angegangen, wobei die hierbei gewonnenen Erkenntnisse direkt auch auf das Design von synchronen Subthreshold-Schaltkreisen übertragbar sind.

### **2.2.1 Timing-Bibliothek**

Um ein Design der Schaltungen auf einer Ebene oberhalb der Gatterebene zu ermöglichen, ist eine Verwendung von Synthesetools unumgänglich. Dies erfordert jedoch eine Standardzellbibliothek, welche Timing-Informationen über die verwendbaren Grundgatter enthält. Die verfügbaren derartigen Bibliotheken sind hierfür nicht nutzbar, da einerseits zahlreiche Gatter enthalten sind, die im Subthreshold-Bereich nicht funktionsfähig sind, und andererseits Timing-Informationen bei Subthreshold-Betriebsspannungen benötigt werden. Es erfolgte daher eine Entwicklung einer angepassten Bibliothek. Hierbei kommt ein approximatives Timing-Modell zum Einsatz, da die verfügbaren Synthesetools ein präziseres, statistisches Modell, welches die Timing-Variabilitäten berücksichtigen könnte, noch nicht unterstützen.

### **2.2.2 Modellbildung**

Die Erstellung einer derartigen Bibliothek genauso wie eine abschließende Charakterisierung des Timings erfordern eine möglichst optimale Modellbildung für die verwendeten Gatter, um eine gute Übereinstimmung mit dem tatsächlichen Verhalten der Schaltung zu gewährleisten. Auf Grund des im Subthreshold-Bereich veränderten Transistor-Verhaltens ergeben sich an den Gattern andere dynamische Signalformen als bei höheren Versorgungsspannungen, wodurch die gebräuchlichen Charakterisierungsmodelle zu hohen Ungenauigkeiten führen können. Aus diesem Grund wurden neue Charakterisierungsmodelle entwickelt, die einfach anwendbar sind und dennoch eine gute Übereinstimmung mit Transistor-Level-Simulationen zeigen.

### **2.2.3 Sequentielle Bauelemente**

Neben kombinatorischen Gattern haben sequentielle Gatter wie Flip-Flops und Latches großen Einfluss auf das Zeitverhalten einer Digitalschaltung. Die Analyse des Timings dieser Schaltungen ist jedoch insbesondere bei Berücksichtigung der Variabilitäten ungleich komplexer, da neben den einfach zu ermittelnden Verzögerungszeiten auch Setup- und Hold-Zeiten bestimmt werden müssen, welche nur über indirekte Methoden zur Ermittlung der Metastabilitätspunkte ermittelt werden können. Es wurde eine Methode zur effizienten Extraktion dieser Parameter innerhalb von Monte-Carlo-Simulationen entwickelt und ein Ansatz zur statistischen Modellierung der Variabilitäten ausgearbeitet. Das entwickelte Modell erlaubte eine Optimierung der Transistordimensionierung innerhalb der Flip-Flops unter Berücksichtigung des Einflusses der Variabilität (siehe Abbildung 2) [4].

### **2.2.4 Logik-Level Monte-Carlo Simulation**

Der Vergleich der unterschiedlicher digitaler Schaltungsstile erfordert häufig dynamische Simulationen der Schaltungen, welche typischerweise auf Logikebene mit Hilfe von Hardware-Beschreibungssprachen

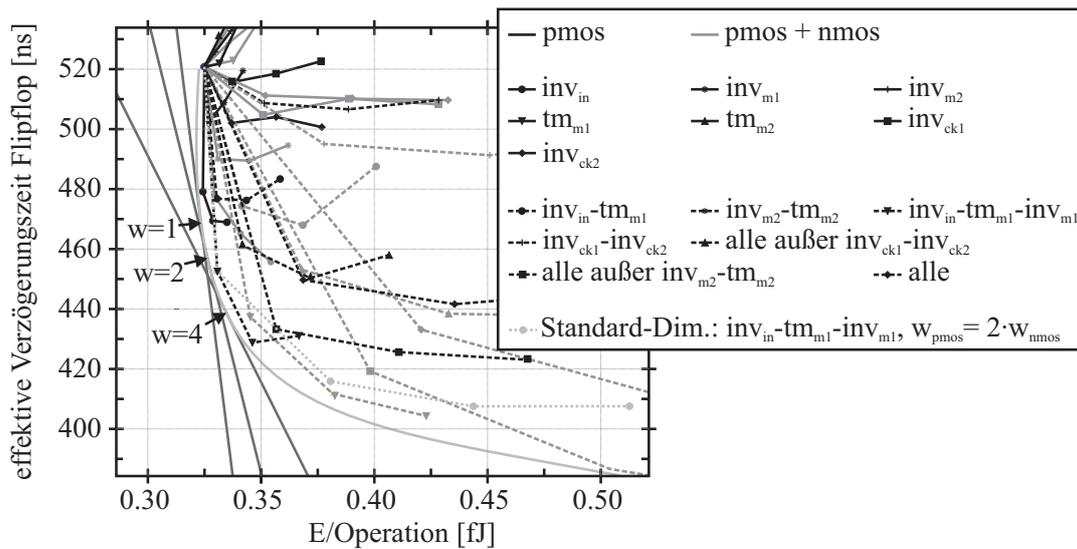


Abbildung 2: Optimierung der Transistordimensionierung in Abhängigkeit von der Höhe der Leckströme in zugehörigen kombinatorischen Blöcken (markiert durch  $w = 1, 4$ ).

wie VHDL erfolgen. Der Einfluss von Prozessvariationen auf das dynamische Verhalten lässt sich jedoch normalerweise nur durch Monte-Carlo-Simulationen auf Transistor-Ebene untersuchen, was für größere Schaltungen jedoch extrem zeitaufwändig ist. Es wurde deshalb ein Modellierungsansatz entwickelt, bei dem die Variabilitäten verwendeter Gatter auf Transistor-Ebene ermittelt und in ein VHDL-Modell abgebildet werden, welches erlaubt, die notwendigen Monte-Carlo-Simulationen auf Logikebene durchzuführen. Dies beschleunigt den Entwurfsprozess durch ein durchgehendes Arbeiten auf dieser Ebene und reduziert die erforderlichen Simulationszeiten deutlich [3].

### 2.3 Referenzspannungen im Subthreshold-Bereich

Für zahlreiche Anwendungen von Subthreshold-Schaltungen ist es notwendig, definierte Spannungspegel zu erzeugen bzw. festzustellen, ob eine definierte Mindestspannung anliegt, z.B. eine minimal erforderliche Betriebsspannung. Derartige Aufgaben werden meist mit analogen Schaltkreisen umgesetzt. Im Subthreshold-Bereich ist die Realisierung präziser analoger Schaltungen auf Grund des massiven Einflusses von Prozessvariationen jedoch nicht trivial. Es wird daher ein neuartiger Ansatz zur Spannungsdetektion untersucht, der auf Ausnutzung von Transistor-Nichtidealitäten beruht und die meisten Analogschaltungs-Komponenten durch digitale Schaltkreise ersetzen kann. Durch Rückkopplung der Spannungsdetektion ist es möglich, diesen Ansatz auch zum Aufbau einer Referenzspannungsquelle zu nutzen. Die in den vorhergehenden Abschnitten vorgestellten Schaltungstechniken sollen in diesem System Anwendung finden.

### 2.4 Ausblick

Als zentrale Punkte für weitere Arbeiten sind insbesondere die Realisierung eines Testchips mit der beschriebenen Spannungsreferenz, die Vermessung dieser Schaltung und die Anfertigung der Dissertation geplant.

## Literatur

- [1] J. Kwong and A. Chandrakasan. "Variation-driven device sizing for minimum energy sub-threshold circuits". In *Proceedings of the International Symposium on Low Power Electronics and Design (ISLPED)*. Tegernsee, Germany, 2006, pp. 8–13.
- [2] N. Lotze, M. Ortmanns, and Y. Manoli. "A study on self-timed asynchronous subthreshold logic". In *Proceedings of the International Conference on Computer Design*. Lake Tahoe, NV, USA, 2007, pp. 533–540.
- [3] N. Lotze, M. Ortmanns, and Y. Manoli. "Untersuchung von asynchronen Timing-Strategien für digitale Subthreshold-Schaltungen". In *Kleinheubacher Berichte - Advances in Radio Science*. Miltenberg, Germany, 2007, pp. 253–258.
- [4] N. Lotze, M. Ortmanns, and Y. Manoli. "Variability of flip-flop timing at sub-threshold voltages". In *Proceedings of the International Symposium on Low Power Electronics and Design (ISLPED)*. Bangalore, India, August 2008, accepted.
- [5] L. Nazhandali, B. Zhai, J. Olson, A. Reeves, M. Minuth, R. Helfand, S. Pant, T. Austin, and D. Blaauw. "Energy optimization of subthreshold-voltage sensor network processors". *ACM SIGARCH Computer Architecture News*, vol. 33, no. 2, pp. 197–207, 2005.
- [6] A. Wang and A. Chandrakasan. "A 180 mV FFT processor using subthreshold circuit techniques". In *Digest of Technical Papers of the International Solid-State Circuits Conference (ISSCC)*. San Francisco, CA, USA, 2004, pp. 292–293.
- [7] A. Wang, A. Chandrakasan, and S. Kosonocky. "Optimal supply and threshold scaling for subthreshold CMOS circuits". In *Proceedings of the IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*. Pittsburgh, PA, USA, 2002, pp. 5–9.
- [8] B. Zhai, S. Hanson, D. Blaauw, and D. Sylvester. "Analysis and mitigation of variability in subthreshold design". In *Proceedings of the International Symposium on Low Power Electronics and Design (ISLPED)*. San Diego, CA, USA, 2005, pp. 20–25.