

Graduiertenkolleg 1103  
**Embedded Microsystems**



Albert-Ludwigs-Universität Freiburg

# **Testmethoden für MEMS**

Statusbericht

**Stefan Hillebrecht (geb. Spinner)**

Betreuer: Prof. Dr. Bernd Becker

Lehrstuhl: Rechnerarchitektur

Freiburg, im September 2008



Institut für Informatik



Institut für Mikrosystemtechnik

## 1 Aktueller Stand der Promotion

Die Promotion befindet sich kurz vor der Fertigstellung. Es fehlen im Wesentlichen einige Messergebnisse, die noch in die Promotion aufgenommen werden sollen. In Abschnitt 2.3 befindet sich eine Beschreibung der Messungen.

## 2 Zusammenfassung der Dissertation

Mikroelektromechanische Systeme (MEMS) haben bewegliche Teile, die mit Energie versorgt werden müssen. Die dort erzeugten Signale müssen auch wieder von dem beweglichen Bereich herunter geführt werden. Die einzigen Wege für die Signale und Versorgungsleitungen führen daher oft über schmale Verbindungsstege, die während des Einsatzes mechanischen Spannungen ausgesetzt sind. Hierdurch kann es zu einer Degradation der Leiterbahn kommen. Man kann sich zum Beispiel die folgenden zwei Fragen stellen:

- Wie lange kann man solche Strukturen gefahrlos betreiben?
- Wie kann man die elektrischen Verbindungen testen?

Leiterbahnen auf Unterbrechungen zu testen ist mit den traditionellen *stuck-at* Testmustern [2, 3] nur bedingt möglich. Aus diesem Grund wurden im Rahmen dieser Promotion im Graduiertenkolleg „Eingebettete Mikrosysteme“ unter anderem die folgenden Punkte bearbeitet: (i) Implementierung eines Testmustergenerators für Leiterbahnunterbrechungen, (ii) Konstruktion eines MEMS Messsystems und (iii) Layout und Fertigung von Teststrukturen zur Untersuchung des Ausfallverhaltens von Metall-Metall und Metall-Halbleiterkontakten. Im Folgenden wird nun auf die einzelnen Punkte genauer eingegangen.

### 2.1 Testmustergenerator für Leiterbahnunterbrechungen

R. Rafiq *et al.* hat in seiner Arbeit [8] ein Fehlermodell für Leiterbahnunterbrechungen vorgestellt. Das *interconnect-open*-Modell nutzt die kapazitive Kopplung zwischen den Signalleiterbahnen aus, um eine Aussage über das Verhalten einer Leiterbahnunterbrechung zu machen. Eine Leiterbahn mit einer Unterbrechung wird in zwei Teile aufgetrennt. Ein Teil ist weiterhin mit dem Gatter verbunden, welches das logische Signal auf dieser Leiterbahn treibt, dieser Teil hat also einen klar definierten logischen Signalwert. Der zweite Teil ist von dem Gatter abgeschnitten und es ist zunächst nicht bekannt, wie die nachfolgenden Gatter reagieren werden. Dies liegt im Wesentlichen daran, dass es im Allgemeinen schwierig ist den Spannungspegel  $V_F$ , der sich auf dem abgetrennten Leiterbahnabschnitt einstellt, genau zu berechnen. Dieser Spannungspegel  $V_F$  hängt von vielen Faktoren ab wie zum Beispiel der gefangenen Ladung auf diesem Leiterbahnabschnitt oder den Leckströmen der Transistoren in den nachfolgenden Gattern.

Das *interconnect-open*-Fehlermodell berechnet den Spannungspegel  $V_F$  gemäß der kapazitiven Spannungsteilerformel aus [11]

$$V_F = \frac{C_1}{C_0 + C_1} V_{DD}. \quad (1)$$

$C_0$  und  $C_1$  stehen für die Summe der Kopplungskapazitäten zwischen dem abgetrennten Teil der Leiterbahn und Signalleitungen mit dem logischen Wert 0 bzw. mit dem logischen Wert 1 und  $V_{DD}$  steht für die elektrische Spannung, die dem logischen Wert 1 entspricht. Der logische Wert  $l$

des abgetrennten Leiterbahnstücks wird dann gemäß der Gleichung

$$l = \begin{cases} 0 & V_F \leq V_{DD}/2 \\ 1 & \text{sonst} \end{cases} \quad (2)$$

bestimmt. Dass alle Gatter, die mit dem abgetrennten Teil der Leiterbahn verbunden sind, den Spannungswert  $V_F$  gleich interpretieren, ist in der Realität nicht immer gegeben. Jeder Gattertyp hat zwei Schwellspannungen  $V_{th,L}$  und  $V_{th,H}$ . Bis zu der Spannung  $V_{th,L}$  wird der Spannungspegel als logisch 0 interpretiert, über  $V_{th,H}$  wird der Spannungspegel als logisch 1 interpretiert. Um dieses Verhalten zu modellieren, wurden zwei neue Fehlermodelle entwickelt, das *robust-enhanced-aggressor-victim* (REAV) Modell und das *non-robust-enhanced-aggressor-victim* (NREAV) Modell. Diese beiden Modelle werden in [5] genauer vorgestellt.

In [13] haben wir einen Simulator für Leiterbahnunterbrechungen auf der Basis des vereinfachten Modells [11] vorgestellt. Um einen solchen Simulator zu implementieren, musste zunächst die unendliche Anzahl von möglichen Leiterbahnunterbrechungen auf eine endliche Zahl von Fehlern reduziert werden ohne damit an Genauigkeit einzubüßen. Weiterhin mussten die Kopplungskapazitäten berechnet werden. Im Zuge dieser Arbeit konnte nachgewiesen werden, dass stuck-at Testmuster Sätze für eine 100%ige Fehlerüberdeckung nicht ausreichend sind.

In der Arbeit [14] wurde von uns ein Prototyp eines automatischen Testmustergenerators (ATPG) (auf der Basis eines kommerziellen ATPGs) vorgestellt, der Mustersätze gemäß dem Model aus [11] berechnet. Dies war der erste ATPG, der aus dem Layout berechnete Kopplungskapazitäten verwendete und sämtliche Fehlerorte auf der Leiterbahn betrachtete. Zuvor wurde von G. Gomez *et al.* ein ATPG vorgestellt [4], der aber nur einen Fehler pro Leiterbahn betrachtete und lediglich eine einfache unvollständige Heuristik benutzte. Trotz der Vereinfachungen, die in [4] vorgenommen werden, ist der von uns vorgestellte ATPG deutlich schneller. Er berechnet Testmustersätze, die nur unwesentlich größer sind als vergleichbare stuck-at Mustersätze, aber eine wesentlich höhere Fehlerüberdeckung erreichen. So kann für testbare Vias im Mittel eine Fehlerüberdeckung von 99.96 % erreicht werden. Weiterhin kann der ATPG auch den Beweis erbringen, ob ein Test für eine Leiterbahnunterbrechung existiert oder nicht.

Das Modell bezieht, wie oben erwähnt, Kopplungskapazitäten, die sich durch benachbarte Leiterbahnen ergeben, mit in die Analyse ein. Ein wesentlicher Faktor für die Größe der kapazitiven Kopplung ist der Abstand zwischen den Leitungen. Dieser ist aber prozesstechnologisch gewissen Schwankungen unterworfen. Aus diesem Grund wurde auch untersucht, wie die Fehlerüberdeckung der berechneten Mustersätze ist, wenn die Kopplungskapazitäten moderat variiert werden. Es wurde ein Versuch durchgeführt, bei dem die Kapazitäten gemäß einer Gaußverteilung zufällig verändert wurden. Als Standardabweichung für die Verteilung wurde 5% der berechneten Größe angenommen. Der Versuch zeigte, dass die Fehlerüberdeckung für alle Testmustersätze nahezu unverändert blieb.

Um für die beiden vorgestellten Fehlermodelle REAV und NREAV Testmuster zu berechnen und die Performanz der Verfahren zu verbessern, wurden Simulator und Testmustergenerator neu implementiert. Eine Geschwindigkeitssteigerung auf Seiten des Simulators wurde durch die Implementierung der folgenden Techniken erreicht.

**Fault dropping** Wurde eine Leiterbahnunterbrechung schon durch ein Testmuster entdeckt, so wird diese nicht ein weiteres Mal simuliert.

**Parallel pattern simulation** Der Simulator simuliert nicht ein Testmuster in einer Simulation sondern 32 bzw. 64 Testmuster (gemäß der Wortbreite des Systems, auf dem das Programm läuft).

**Event driven simulation** Der Simulator berechnet nur die Signalwerte neu, die durch die Leiterbahnunterbrechung potentiell beeinflusst werden könnten.

**Simulation skipping** Während der Fehlersimulationen testet der Simulator „schnell“, ob der neue Fehler sich so verhalten wird wie der zuvor simulierte. Wenn dies der Fall ist, lässt der Simulator diese Simulation aus und übernimmt das Simulationsergebnis des zuvor simulierten Fehlers.

Der ATPG wurde durch die Anwendung der folgenden Techniken beschleunigt:

**Reduktion der Fehlerliste** Hier nutzt der ATPG strukturelle Informationen aus, um festzustellen, ob zwei Fehler äquivalent sind oder nicht. Sind zwei Fehler äquivalent, kann einer der beiden aus der Fehlerliste entfernt werden. Weiterhin markiert der ATPG Leiterbahnunterbrechungen als nicht testbar, wenn es keine Möglichkeit gibt, das Verhalten des Fehlers mit Kopplungskapazitäten zu beeinflussen.

**Segment stuck-at Fehler** Hier wird der Schaltkreis um Buffer-Gatter so erweitert, dass der verwendete stuck-at Basis-ATPG nicht nur für jeden Gatterein- und -ausgang ein stuck-at Muster berechnet, sondern auch für jeden Fanoutknoten im Layout.

**Testbarkeitsanalyse** Durch eine strukturelle Analyse stellt der ATPG fest, ob der Fehler testbar ist oder nicht.

**Propagationspfadverfolgung** Kann ein Fehler nicht mit vertretbarem Aufwand klassifiziert werden, so wird durch eine Propagationspfadverfolgung versucht festzustellen, ob die Leiterbahnunterbrechung nicht testbar ist.

Eine genauere Beschreibung der einzelnen Techniken ist in [5] zu finden. Der neu implementierte ATPG für Leiterbahnunterbrechungen berechnet Mustersätze, die nur unwesentlich größer sind als traditionelle stuck-at Testmustersätze. Werden die verschiedenen Testmustersätze gemäß dem REAV Model simuliert, erzielen die REAV Testmuster eine höhere Fehlerüberdeckung als stuck-at Mustersätze oder Mustersätze, die gemäß dem Modell von [11] berechnet werden. Trotz des komplexeren Modells konnte der Simulator um ca. drei Größenordnungen im Vergleich zu [13] und die Testmusterberechnung um zwei Größenordnungen im Vergleich zu [14] beschleunigt werden.

## 2.2 MEMS Messsystem

Das Messsystem ist entworfen worden, um Zuverlässigkeitsuntersuchungen durchzuführen, ist aber, wie wir weiter unten noch ausführen werden, nicht nur darauf beschränkt. Um realistische Daten zum physikalischen Verhalten von Leiterbahnunterbrechungen zu erhalten, ist es notwendig, Leiterbahnen kontrolliert wiederholt mechanischen Spannungen auszusetzen und dann so das Ausfallverhalten zu bestimmen. Da auf dem Markt kein adäquates Messgerät erhältlich war, welches hinreichend wiederholgenau ein mikroelektromechanisches System mechanischen Spannungen aussetzen und gleichzeitig noch die elektrische Antwort mitprotokollieren konnte, wurde ein solches Messsystem entworfen und aufgebaut.

Abbildung 1 zeigt die aktuelle Version des Messsystems. Im unteren Bereich ist eine Waferhalterung aufgebaut. Diese Halterung ermöglicht es mit einer Genauigkeit von unter  $2 \mu\text{m}$  jeden Punkt auf einem 6-inch Wafer zu erreichen. Oberhalb der Halterung befindet sich eine Arbeitsplattform. An dieser Plattform können verschiedenste Messgeräte angebracht werden, wie zum

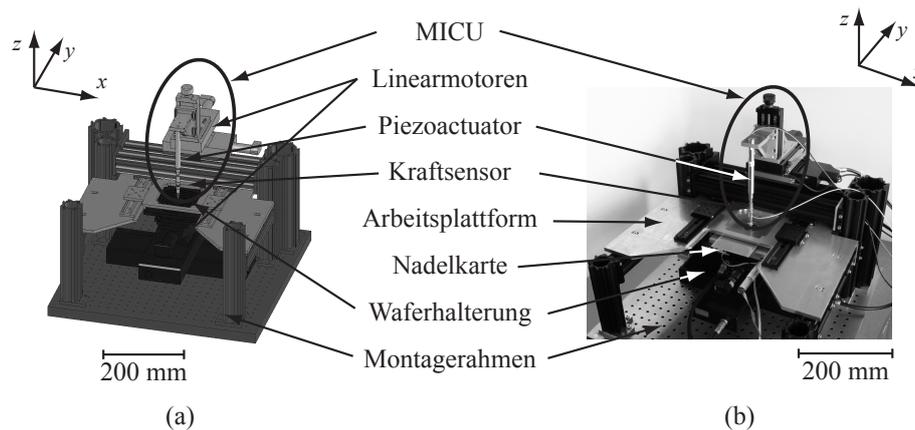


Abbildung 1: (a) Schematische Darstellung des Messsystems und eine Bild von dem aufgebauten System mit Probekarte (b).

Beispiel ein Laser zur Messung von Auslenkungen. Weiterhin ist es auch möglich, eine Probekarte an der Plattform zu befestigen, um den zu untersuchenden Chip mit Strom und Spannung zu versorgen. Man kann auch die Signale des Chips mitprotokollieren. Darüber befindet sich die Baugruppe, die für das Einleiten der Kraft bzw. mechanischen Spannung in den Chip zuständig ist, die sogenannte *Mechanical Impact Control Unit* (MICU). Das Objekt, welches auf den Chip drückt und somit die mechanische Spannung in den Chip einleitet, ist an einem Kraftsensor befestigt. Größe und Form des Objektes können gemäß den Erfordernissen der Untersuchung frei angepasst werden. Der Kraftsensor hat eine Genauigkeit von 2 mN. Der Sensor ist an einem Piezoaktuator befestigt. Dieser hat eine Positioniergenauigkeit von unter 2 nm und eignet sich daher dafür, exakt die Kraft zu erzeugen, die auf den Chip einwirken soll. Ferner kann sich der Piezoaktuator sehr schnell zusammenziehen und ausdehnen. Somit kann die Kraft mit einer Frequenz von bis zu 1 kHz einwirken. Eine genaue Beschreibung des Systems kann man in [15] finden.

Neben den im Abschnitt 2.3 beschriebenen Zuverlässigkeitsmessungen wurde das System in den folgenden Projekten mit Erfolg eingesetzt.

**3D-Kraftsensor** Eine Beschreibung von diesem am IMTEK entwickelten und gefertigten Kraftsensor findet sich in [9]. Es wurden mit dem Messsystem die Kennlinien für Sensorsignale gegenüber Auslenkung und Kraft gemessen und die Bruchfestigkeit der mikromechanischen Struktur in allen drei Raumrichtungen bestimmt [12]. Diese Version des Kraftsensors wird im Moment von der Firma Zeiss in einem Koordinatenmesssystem eingesetzt. Eine Weiterentwicklung des Kraftsensors mit integrierter Signalauswertung wurde ebenfalls mit dem Messsystem charakterisiert [6].

**Cantilever-basierter Kraftsensor** Dieser wurde zusammen mit P. Ruther entwickelt und am IMTEK gefertigt. Auch hier wurde das Messsystem eingesetzt, um mechanische Eigenschaften und Sensitivitäten zu bestimmen [10].

**Neuroprobes** Im Zuge dieses EU-Projektes [7] wurde das Messsystem verwendet, um die maximale Bruchfestigkeit von Nadeln, die in das Hirn eines Patienten eingebracht werden sollen, zu bestimmen.

**Stresssensoren** M. Dölle entwickelte Sensoren zu Messung von mechanischen Spannungen in einem Siliziumchip [1]. Auf dem Messsystem wurden Untersuchungen zur Ortsauflösung von 2D-Sensorarrays durchgeführt.

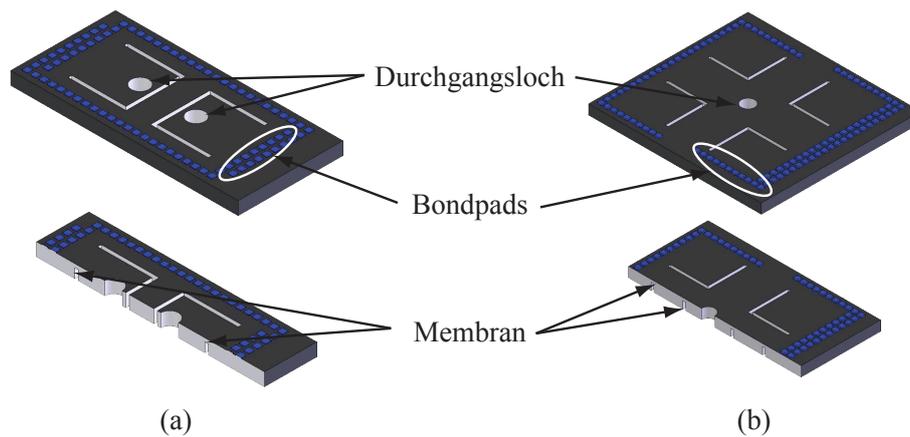


Abbildung 2: Mechanischer Teil der entworfenen Teststrukturen jeweils mit Schnittdarstellung durch die Mitte des Chips. (a) Biegebalken und (b) Kreuzstruktur.

**Mikrokugeln** In diesem Projekt wurde untersucht, welche Kräfte Kugeln aus pharmazeutischen Wirkstoffen mit verschiedenen Durchmessern erfahren, bevor sie bersten. Die Durchmesser der Kugeln waren kleiner als  $400\ \mu\text{m}$ .

### 2.3 Zuverlässigkeitsuntersuchungen

Um das Ausfallverhalten von Leiterbahnen zu beobachten, wurden zwei mikroelektronisch-mechanische Teststrukturen entworfen, welche die zu testenden Leiterbahnen beherbergen. Der mechanische Aufbau der Strukturen ist in Abbildung 2 zu sehen. In einem CMOS-Prozess der Firma X-Fab wurde die Elektronik realisiert und am IMTEK wurden die mechanischen Strukturen in einem Trockenätzschritt gefertigt.

Bei beiden Strukturen wird in das geätzte Durchgangsloch eine Kugel eingelegt, auf die mit dem Messsystem gedrückt wird. Die Leiterbahnen befinden sich auf den Membranen der Teststrukturen. Durch *Finite-Elemente-Simulation* lässt sich aus den gemessenen Kräften die mechanische Spannung, die auf die Leiterbahnen wirkt, sehr genau berechnen. Der elektrische Aufbau der Teststrukturen lässt das Protokollieren der elektrischen Eigenschaften zu, ohne die Untersuchung zu unterbrechen.

Auf jeder Membran der Teststrukturen befinden sich vier verschiedene elektrische Blöcke. Da in einem kommerziellen CMOS-Prozess kein Einfluss auf das verwendete Material genommen werden kann, unterscheiden sich die vier Blöcke nur durch die verwendeten Schichten des Prozesses. Die verwendeten Schichtkombinationen der vier Blöcke sind:

- Metall-1 und hoch dotiertes Silizium,
- Metall-1 und Polysilizium,
- Metall-2 und Metall-1 und
- Metall-3 und hoch dotiertes Silizium.

Durch diesen Aufbau der Blöcke kann auch die Zuverlässigkeit der gefertigten Vias untersucht werden. Im Moment können noch keine Ergebnisse vorgewiesen werden, da die Messungen noch nicht abgeschlossen sind.

## Literatur

- [1] M. Doelle, P. Ruther, and O. Paul. "A novel stress sensor based on the transverse pseudo-hall effect of MOSFETs". In *Proceedings of IEEE MEMS 2004*. Maastricht, The Netherlands, 2003, pp. 490–493.
- [2] R. D. Eldred. "Test routines based on symbolic logical statements". *Journal of the Association for Computing Machinery (ACM)*, vol. 6, no. 1, pp. 33–36, 1959.
- [3] J. M. Galey, N. R. E, and J. P. Roth. "Techniques for the diagnosing of switching circuit failures". In *Symposium on Switching Circuit Theory and Logical Design*. 1961, pp. 152–160.
- [4] R. Gómez, A. Girón, and V. Champac. "Test of interconnection opens considering coupling signals". In *IEEE Defect and Fault Tolerance Symposium*. Puebla, Mexico, October 2005, pp. 247–255.
- [5] S. Hillebrecht, I. Polian, P. Engelke, B. Becker, M. Keim, and W.-T. Cheng. "Extraction, simulation and test generation for interconnect open defects based on enhanced aggressor-victim model". In *Proceedings of International Test Conference*. Santa Clara, CA, USA, 2008, accepted.
- [6] B. Levey, P. Gieschke, M. Doelle, S. Spinner, A. Trautmann, P. Ruther, and O. Paul. "CMOS-integrated silicon 3D force sensor system for micro component coordinate measurement machines". In *Technical Digest MEMS 2007*. Kobe, Japan, 2007, pp. 611–614.
- [7] H. Neves, G. Orban, M. Koudelka-Hep, T. Stieglitz, and P. Ruther. "Development of modular multifunctional probe arrays for cerebral applications". *Neural Engineering, 2007. CNE '07. 3rd International IEEE/EMBS Conference on*, pp. 104–109, May 2007.
- [8] S. Rafiq, A. Ivanov, S. Tabatabaei, and M. Renovell. "Testing for floating gates defects in CMOS circuits". In *Test Symposium, 1998. ATS '98. Proceedings. Seventh Asian*. Singapore, 1998, pp. 228–236.
- [9] P. Ruther, J. Bartholomeyczik, W. Dominicus, O. Paul, R. Roth, K. Seitz, W. Strauss, A. Trautmann, and W. M. "Novel 3D piezoresistive silicon force sensor for dimensional metrology of micro components". In *Proceedings of IEEE Sensors 2005*. Irvine, CA, USA, 2005, pp. 1006–1009.
- [10] P. Ruther, S. Spinner, M. Cornils, and O. Paul. "Cantilever-based tactile sensor with improved sensitivity for dimensional metrology of deep narrow drillings". In *Digest Transducers 2007*. Lion, France, 2007, pp. 1469–1472.
- [11] Y. Sato, L. Yamazaki, H. Yamanaka, T. Ikeda, and M. Takakura. "A persistent diagnostic technique for unstable defects". In *Proceedings of International Test Conference*. Baltimore, MD, USA, 2002, pp. 242–249.
- [12] S. Spinner, J. Bartholomeyczik, B. Becker, M. Doelle, O. Paul, I. Polian, R. Roth, K. Seitz, and P. Ruther. "Electromechanical reliability testing of three-axial silicon force sensors". In *Proceedings of "Design, Test, Integration and Packaging of MEMS/MOEMS 2006"*. Stresa, Italy, 2006, pp. 77–82.
- [13] S. Spinner, J. Jiang, I. Polian, P. Engelke, and B. Becker. "Simulating open-via defects". In *Proceedings of the 16th Asian Test Symposium 2007*. Beijing, China, 2007, pp. 265–270.
- [14] S. Spinner, I. Polian, P. Engelke, B. Becker, M. Keim, and W.-T. Cheng. "Automatic test pattern generation for interconnect open defects". In *Proceedings of 26th VLSI Test Symposium 2008*. San Diego, CA, USA, 2008, pp. 181–186.
- [15] S. Spinner, P. Ruther, I. Polian, B. Becker, and O. Paul. "A system for calibration and reliability testing of MEMS devices under mechanical stress". In *Proceedings of the 2nd MikroSystemTechnik Kongress 2007*. Dresden, Germany, 2007, pp. 861–864.