

Graduiertenkolleg 1103
Embedded Microsystems



Albert-Ludwigs-Universität Freiburg

**Mixed-Signal-Modellierung und Synthese auf
FPAAs und FPGAs**

Statusbericht

Fabian Henrici

Betreuer: Prof. Dr. Yiannos Manoli
Lehrstuhl: Mikroelektronik

Freiburg, im September 2008



Institut für Informatik



Institut für Mikrosystemtechnik

1 Aktueller Stand der Promotion

Die Hauptarbeit meiner Promotion ist abgeschlossen, es erfolgen noch Messungen und das Schreiben der Dissertation.

2 Zusammenfassung der Dissertation

Analoge Signale, z.B. von Sensoren oder Empfängern in der drahtlosen Kommunikation, müssen vor der Weiterverarbeitung gefiltert werden. Idealerweise sollten diese Filter einstellbar sein, um es beispielsweise zu ermöglichen im Prototypenstadium verschiedene Ansätze auszuprobieren oder um in der Anwendung flexibel auf Änderungen in der Signalcharakteristik reagieren zu können. Die hohen Bandbreiten bei drahtloser Kommunikation lassen sich mit zeitdiskreten rekonfigurierbaren analogen Filtern (switched-capacitor) nur schwer und unter hohem Energieverbrauch erreichen. Zeitkontinuierliche analoge Filter wiederum lassen sich nur schwer zu einer rekonfigurieren Filtermatrix (Field Programmable Analog Array - FPAA) verschalten.

Im Rahmen meiner Doktorarbeit wurden angepasste Schaltkreise und ein auf ihnen aufbauendes FPAA entwickelt. Dieses löst die beschriebenen Probleme und übertrifft die Performance existierender Arbeiten um eine Zehnerpotenz [1, 6].

2.1 Entwicklung des FPAAs

Ausgangspunkt dieser Doktorarbeit ist die von Joachim Becker vorgeschlagene hexagonale Struktur für ein Field Programmable Analog Array (FPAA) [8, 2]. Die wichtigsten Innovationen dieser Struktur sind der Aufbau aus G_m -C Filtern, die hexagonale Anordnung von G_m -Zellen, die ausschließliche Verwendung der parasitären MOS Kapazitäten zur Integration des Signals und der Verzicht auf Schalter (Transmission Gates) im Signalpfad.

Meine Arbeit umfasste die Umsetzung dieser Struktur in einen tatsächlich herstellbaren Mikrochip, wie in Abbildung 1 gezeigt, und die Entwicklung der dafür benötigten Schaltungen. Die wichtigste Entwicklung war eine (analoge, zeitkontinuierliche) G_m -Zelle, die es erlaubt, ohne Schalter im Signalpfad die Bandbreite digital (!) in sechs Stufen einzustellen, das übertragene Signal zu invertieren oder die Signalweiterleitung völlig zu unterdrücken [1]. Insbesondere die ausschließliche Verwendung parasitärer Kapazitäten erforderte eine neue Herangehensweise an das Schaltungsdesign [4].

Eine zweite Herausforderung stellte die hohe geforderte Bandbreite dar, welche die Entwicklung eines stabilen common mode feedbacks (CMFB) erschwerte. Die zahlreichen parasitären Kapazitäten innerhalb der G_m -Zelle und des CMFBs mussten unter Beibehaltung der hohen Bandbreite kompensiert werden, um eine ausreichende Phasenreserve in der Schleife zu gewährleisten.

Abschließend musste die nicht triviale Integration von Analogteil und digitaler Konfigurationslogik zu einem funktionierenden mixed-signal Design und die Co-Simulation beider Teile gelöst werden [5].

2.2 Erforschung von Floating Gates

Das entwickelte FPAA bietet eine herausragende Performance, allerdings erwies sich die Einstellbarkeit in sechs Stufen als nicht ausreichend. Daher begann ich die Entwicklung eines neuen FPAAs, welcher mit Hilfe von Floating Gates eine unbeschränkte (!) Einstellbarkeit bietet. Floating Gates stellen das analoge Pendant zu digitalen EEPROMs dar. Auf ihnen kann man eine analoge Spannung für viele Jahre speichern und zur Einstellung der G_m -Zelle benutzen.

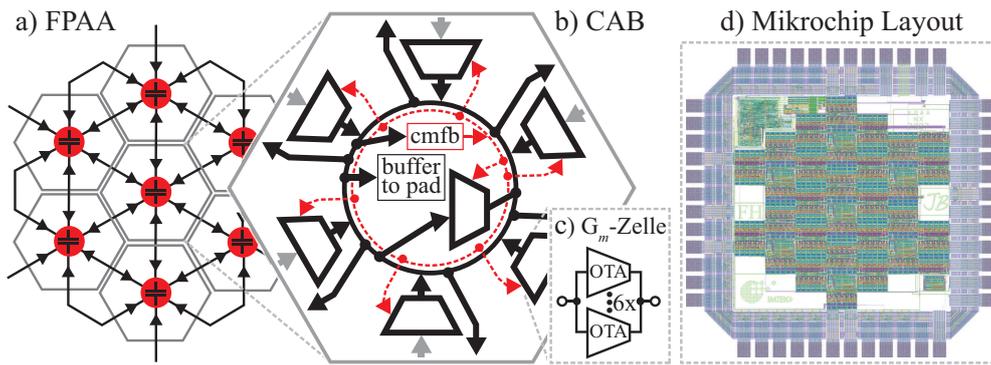


Abbildung 1: a) Schaltplan der hexagonalen Architektur des FPAA. Die schwarzen Pfeile repräsentieren programmierbare G_m -Zellen, während die roten Knoten die Integrationspunkte darstellen. An diesen Knoten laufen die Signale aus verschiedenen Richtungen zusammen, werden summiert und das neue Signal kann wieder an einen oder mehrere benachbarte Knoten geschickt werden. Die G_m -Zellen zusammen mit den Integrationsknoten bilden G_m -C Filter. b) Detailbild der sogenannten CABs (configurable analog blocks). Die roten Leitungen zeigen das zentrale CMFB (commonmode feedback), ein einziges kann sämtliche zu diesem Knoten hinführenden G_m -Zellen steuern. c) Sechs ein- und ausschaltbare OTAs (operational transconductance amplifiers) sind parallel verschaltet, das G_m der Zelle hängt linear von der Anzahl eingeschalteter OTAs ab. d) Layout des FPAA. Der Mikrochip wurde in einer $0,13\ \mu\text{m}$ CMOS Technologie gefertigt.

Da meine Implementierung der Floating Gates die erste in einer $0,13\ \mu\text{m}$ CMOS Technologie war, musste zuerst ein Mikrochip mit Teststrukturen gefertigt werden, siehe Abbildung 2(a). Hervorzuheben ist auch die Umsetzung als single-poly floating gates, eine Spezialvariante, welche mit nur einer Gateoxidschicht auf dem Wafer auskommt. Die mit diesem Chip durchgeführten Messungen bestätigten die gesetzten Erwartungen voll. Die G_m -Zellen lassen sich stufenlos einstellen und die dafür genutzte Spannung lässt sich für mehrere Jahre speichern [7]. Ebenfalls wurde erfolgreich ein ähnlicher Testchip in $0,35\ \mu\text{m}$ CMOS gefertigt und getestet, siehe Abbildung 2(b). Bei der Entwicklung einer neuartigen Gleichrichterschaltung durch Christian Peters konnte ich mit Ideen zum Anschluss der aktiven Diode Unterstützung leisten [10]. Meine Erfahrungen mit Floating Gates in $0,35\ \mu\text{m}$ CMOS konnten wir dann dazu nutzen, einen Floating Gate Gleichrichter zu entwickeln, welcher bereits mit kleinsten Spannungen in einem Energy Harvester funktioniert [9].

2.3 Entwicklung eines Floating Gate FPAA

Floating Gates werden zwar bereits als Transmission Gates und aktive Elemente eingesetzt [3], aber bis jetzt nicht in einem FPAA, der den kompletten Frequenzbereich zwischen 1 und 200 MHz abdecken kann. Insbesondere werden bei anderen Arbeiten auf diesem Gebiet die Steuerlogik und die notwendigen Treiberstufen extern realisiert. Mein Ansatz war es, eine Architektur zu entwickeln, mit welcher der FPAA sich selbständig, ohne externe Hilfe, programmieren kann. Dazu habe ich eine Gesamtschaltung von Floating Gate, Stromspiegeln, integrierbarer Treiberstufe (Programmierschalter) und OTAs, wie in Abbildung 3 gezeigt, entwickelt. Parallel wurde in einer betreuten Diplomarbeit ein Digitalcontroller in VHDL entwickelt, welcher diese Programmierschalter ansteuert und die Floating Gates auf einen extern vom PC kommunizierten Wert programmiert. Zusätzlich habe ich an jedem Knoten ein Kapazitätsarray integriert, um eine weitere Einstellmöglichkeit zu bieten. Bei der Entwicklung und der Verifikation dieses FPAA bin ich

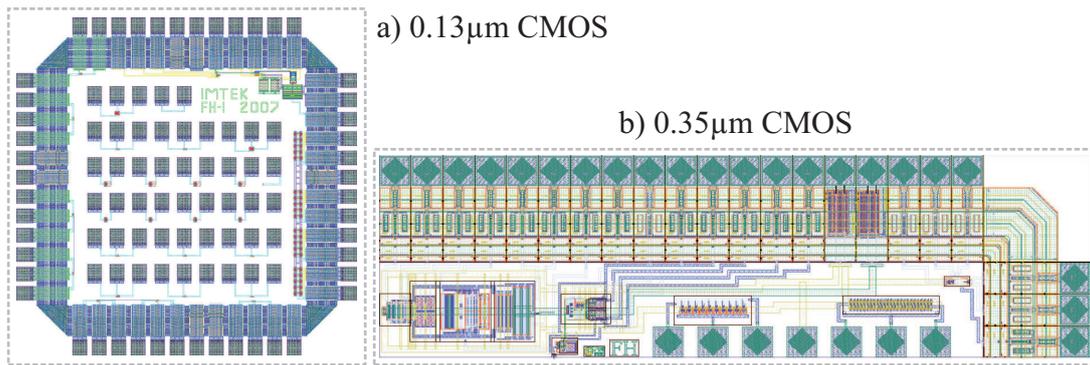


Abbildung 2: a) UMC 0,13 µm Floating Gate Testchip. Das Design wurde im Januar 2007 in Auftrag gegeben. Auf dem Chip befinden sich viele Teststrukturen, ausserdem ein kompletter, programmierbarer G_m -C Filter, bestehend aus einer mit Hilfe von Floating Gates programmierbaren Bias-Stromquelle, einer G_m -Zelle, Integrationskapazitäten, Common-mode Rückkopplung und Buffer. b) AMS 0,35 µm Floating Gate Testchip. Auf dem Chip befinden sich ein High-Side Treiber, eine darauf basierende programmierbare Stromquelle, und ein damit versorgter G_m -C Filter.

an die Grenzen der Entwicklungssoftware gestoßen, wodurch sich insbesondere die Verifikation der Integration von analogem und digitalem Teil sehr schwierig gestaltete. Im April 2008 habe ich den neuen FPAA aus der Fertigung zurück erhalten. Erste Messungen waren ein voller Erfolg. Ebenfalls wurde eine PC Software in Matlab entwickelt, mit der sich der FPAA simulieren und steuern lässt und automatische Testreihen ablaufen können.

Literatur

- [1] J. Becker, F. Henrici, S. Trendelenburg, M. Ortmanns, and Y. Manoli. "A continuous-time hexagonal field programmable analog array in 0.13 µm CMOS with 186 MHz GBW." In *International Solid State Circuits Conference (ISSCC) Digest of Technical Papers*. San Francisco, CA, USA, February 2008.
- [2] J. Becker and Y. Manoli. "A continuous-time field programmable analog array (FPAA) consisting of digitally reconfigurable G_m -cells". In *Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS)*. Vancouver, BC, Canada, May 2004.
- [3] P. Hasler and T. Lande. "Overview of floating-gate devices, circuits, and systems". *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, no. 1, pp. 1–3, 2001.
- [4] F. Henrici, J. Becker, and Y. Manoli. "A continuous-time field programmable analog array using parasitic capacitance G_m -C filters". In *Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS)*. New Orleans, LA, USA, May 2007.
- [5] F. Henrici, J. Becker, and Y. Manoli. "Simulation of a reconfigurable mixed-signal field programmable analog array". In *Technical talk at Cadence CDNLive! EMEA*. Nice, France, June 2006.
- [6] F. Henrici and Y. Manoli. "Talk at the ISSCC student forum". In *International Solid State Circuits Conference (ISSCC) Student-Forum*. San Francisco, CA, USA, February 2008.
- [7] F. Henrici, C. Peters, J. Becker, M. Ortmanns, and Y. Manoli. "Reliability study of single-poly floating gates in 0.13 µm CMOS for use in field programmable analog arrays". In *IEEE International Midwest Symposium on Circuits and Systems (MWCAS)*. Knoxville, TN, USA, August 2008, accepted.
- [8] S. Pavan and Y. Tsvividis. *High Frequency Continuous Time Filters in Digital CMOS Processes*. Kluwer Academic Publishers, Boston, 2000.
- [9] C. Peters, F. Henrici, M. Ortmanns, and Y. Manoli. "High-bandwidth floating gate CMOS rectifiers with reduced voltage drop". In *Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS)*. Seattle, WA, USA, May 2008.
- [10] C. Peters, O. Kessler, F. Henrici, M. Ortmanns, and Y. Manoli. "CMOS integrated highly efficient full wave rectifier". In *Proceedings of IEEE International Symposium on Circuits and Systems (ISCAS)*. New Orleans, LA, USA, May 2007.

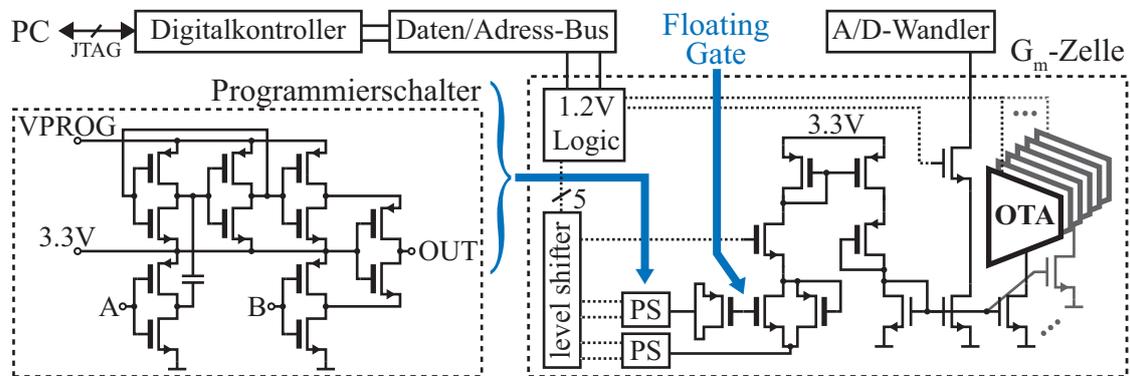


Abbildung 3: Ein durch Floating Gate kontinuierlich programmierbare G_m -Zelle. Mittels der Programmierschalter wird das Floating Gate digital gesteuert mit Spannungspulsen beaufschlagt. Die dadurch auf das isolierte Gate getunnelten (und gespeicherten) Ladungen beeinflussen den Strom durch den Floating Gate Transistor. Über einen Stromspiegel wird dieser einerseits zu einem auf dem Mikrochip integrierten A/D-Wandler geschickt und gemessen, andererseits liefert er den Referenzstrom für das Bias-Netzwerk der OTAs und stellt sie so stufenlos ein. Auf dem FPAA sind 51 dieser G_m -Zellen, ein Digitalkontroller, ein Dual-Slope A/D-Wandler und viele weitere Hilfsschaltkreise auf einer Fläche von lediglich 1 mm^2 integriert.